САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab3

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил: Непомнящий Матвей Тимофеевич

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

группа: 5130901/10101

преподаватель: Федотов Александр Александрович

Санкт-Петербург

2023

Оглавление

[1. Задание lab3\_1 4](#_Toc146647707)

[1.1 Задание 4](#_Toc146647708)

[1.2 Описание на языке Verilog 4](#_Toc146647709)

[1.3 Результат синтеза (RTL) 5](#_Toc146647710)

[1.4 Моделирование 5](#_Toc146647711)

[1.5 Назначение выводов СБИС 6](#_Toc146647712)

[1.6 Тестирование на плате miniDiLaB-CIV 6](#_Toc146647713)

[1.7 Выводы 6](#_Toc146647714)

[2. Задание lab3\_2 7](#_Toc146647715)

[2.1 Задание 7](#_Toc146647716)

[2.2 Описание на языке Verilog 7](#_Toc146647717)

[2.3 Результат синтеза (RTL) 7](#_Toc146647718)

[2.4 Моделирование 8](#_Toc146647719)

[2.5 Выводы 10](#_Toc146647720)

[3. Задание lab3\_3 11](#_Toc146647721)

[3.1 Задание 11](#_Toc146647722)

[3.2 Описание на языке Verilog 11](#_Toc146647723)

[3.3 Результат синтеза (RTL) 11](#_Toc146647724)

[3.4 Моделирование 12](#_Toc146647725)

[3.5 Назначение выводов СБИС 13](#_Toc146647726)

[3.6 Тестирование на плате miniDiLaB-CIV 13](#_Toc146647727)

[3.7 Выводы 14](#_Toc146647728)

[4. Задание lab3\_3 15](#_Toc146647729)

[4.1 Задание 15](#_Toc146647730)

[4.2 Описание на языке Verilog 15](#_Toc146647731)

[4.3 Результат синтеза (RTL) 16](#_Toc146647732)

[4.4 Моделирование 16](#_Toc146647733)

[4.5 Назначение выводов СБИС 18](#_Toc146647734)

[4.6 Тестирование на плате miniDiLaB-CIV 18](#_Toc146647735)

[4.7 Выводы 18](#_Toc146647736)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc146647737)

[Рис. 1‑2 Синтезированная схема 5](#_Toc146647738)

[Рис. 1‑3 Результат моделирования средствами QII 6](#_Toc146647739) [Рис. 1‑4 Назначение выводов в приложении Pin Planner 6](#_Toc146647740)

[Рис. 2‑1 Описание на языке Verilog 7](#_Toc146647741)

[Рис. 2‑2 Синтезированная схема 8](#_Toc146647742)

[Рис. 2‑3 Результат моделирования средствами QII 10](#_Toc146647743)

[Рис. 3‑1 Описание на языке Verilog 11](#_Toc146647744)

[Рис. 3‑2 Синтезированная схема 12](#_Toc146647745)

[Рис. 3‑3 Результат моделирования средствами QII 13](#_Toc146647746)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 13](#_Toc146647747)

[Рис. 3‑1 схема устройства 15](#_Toc146647748)

# Задание lab3\_1

## Задание

✓ На языке Verilog, с использованием процедурных блоков и поведенческих операторов, опишите

параметризированное устройство (параметризируется разрядность) выбора максимума и минимума из 2 входов

(данные поступают на два входа: a и b, меньшее из них передается на выход dmin, а большее – на выход dmax).

✓ Параметры:

– w – разрядность данных (базовое значение 4)

✓ Входы данных

– [w-1:0] a - (при реализации модуля на плате miniDilabCIV : w=4; назначить на переключатели sw[3:0] )

– [w-1:0] b - (при реализации модуля на плате miniDilabCIV : w=4; назначить на переключатели sw[7:4] )

✓ Выходы

– [w-1:0] dmin – (при реализации модуля на плате miniDilabCIV : w=4; назначить на светодиоды led[3:0])

– [w-1:0] dmax – (при реализации модуля на плате miniDilabCIV : w=4; назначить на светодиоды led[7:4])

✓ Имя проекта – lab3\_1. Имя модуля верхнего уровня – lab3\_1. Имя файла lab3\_1.v

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

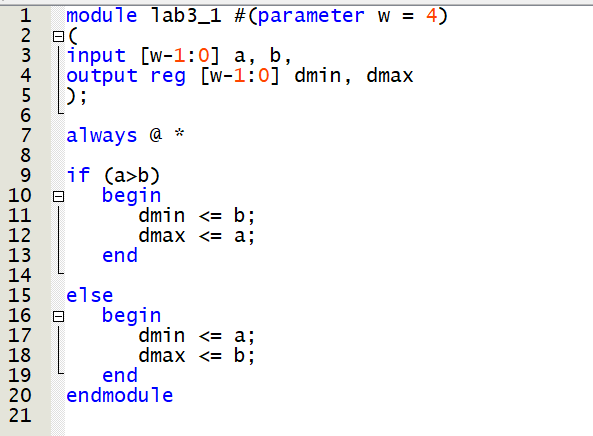


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

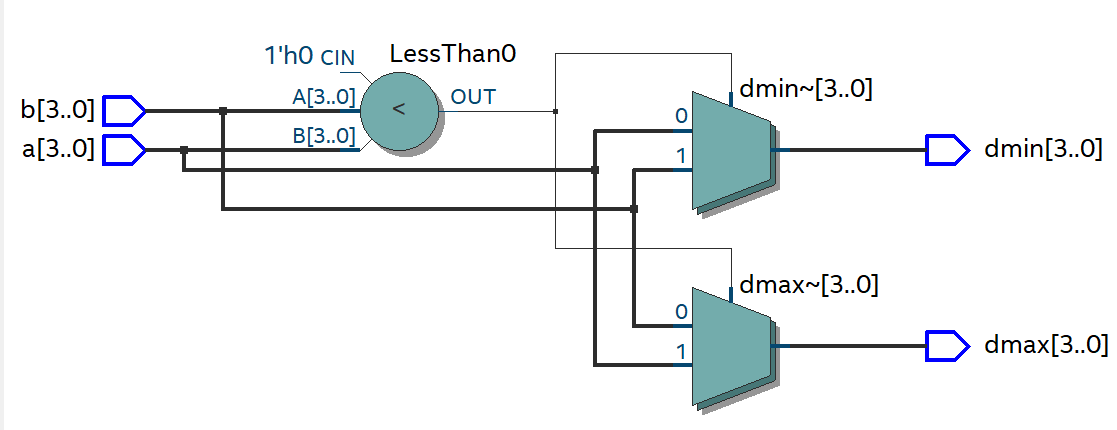


Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход a подается 15
* на вход b подается 12
* на выход dmax подается 15
* на выход dmin подается 12

1. проверка:

* на вход a подается 3
* на вход b подается 14
* на выход dmax подается 14
* на выход dmin подается 3

1. проверка:

* на вход a подается 10
* на вход b подается 13
* на выход dmax подается 13
* на выход dmin подается 10

1. проверка:

* на вход a подается 2
* на вход b подается 12
* на выход dmax подается 12
* на выход dmin подается 2

1. проверка:

* на вход a подается 12
* на вход b подается 11
* на выход dmax подается 12
* на выход dmin подается 11

1. проверка:

* на вход a подается 8
* на вход b подается 8
* на выход dmax подается 8
* на выход dmin подается 8

Результаты моделирования приведены на Рис. 1‑3

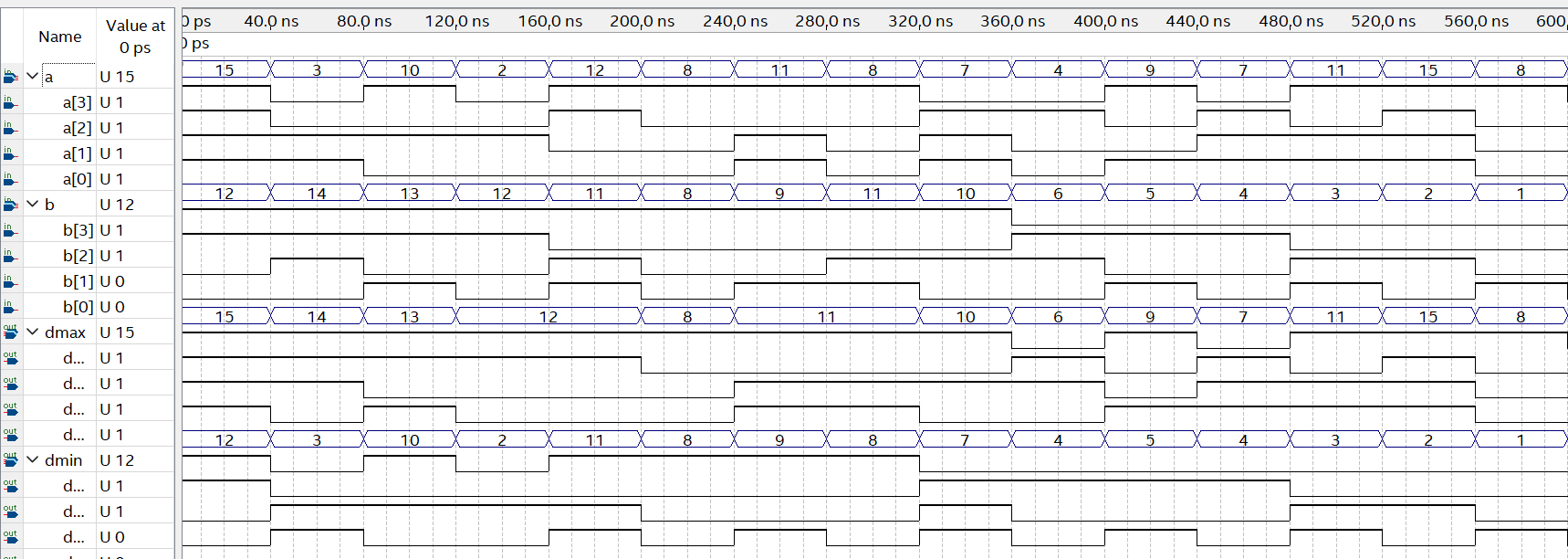


Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе лабораторной работы было разработано параметризированное устройство на языке Verilog для выбора максимума и минимума из двух входных данных. Это устройство может быть легко адаптировано под различные разрядности данных и является полезным инструментом при работе с цифровыми сигналами.

# Задание lab3\_2

## Задание

На языке Verilog, с использованием массивов, опишите преобразователь 4 разрядного двоичного кода в 7-

сегментный код (сегменты включаются логической единицей).

✓ Входы данных

– [3:0] a

✓ Выходы

– [6:0] d7seg

✓ Имя проекта – lab3\_2. Имя модуля верхнего уровня – lab3\_2. Имя файла lab3\_2.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

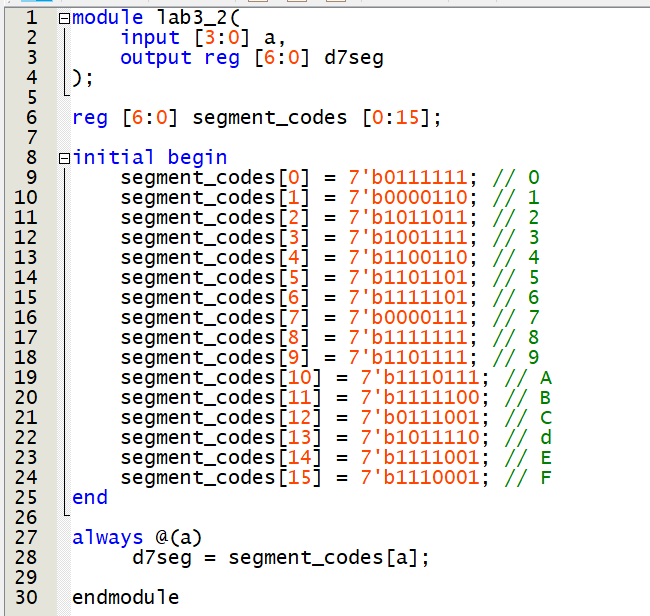


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Изображение выглядит как текст, снимок экрана, Шрифт, диаграмма

Автоматически созданное описание

Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход a подается 0
* на выходе d7seg получаем 0111111

1. проверка:

* на вход a подается 1
* на выходе d7seg получаем 0000110

1. проверка:

* на вход a подается 2
* на выходе d7seg получаем 1011011

1. проверка:

* на вход a подается 3
* на выходе d7seg получаем 1001111

1. проверка:

* на вход a подается 4
* на выходе d7seg получаем 1100110

1. проверка:

* на вход a подается 5
* на выходе d7seg получаем 1101101

1. проверка:

* на вход a подается 6
* на выходе d7seg получаем 1111101

1. проверка:

* на вход a подается 7
* на выходе d7seg получаем 0000111

1. проверка:

* на вход a подается 8
* на выходе d7seg получаем 1111111

1. проверка:

* на вход a подается 9
* на выходе d7seg получаем 1101111

1. проверка:

* на вход a подается 10
* на выходе d7seg получаем 1110111

1. проверка:

* на вход a подается 11
* на выходе d7seg получаем 1111100

1. проверка:

* на вход a подается 12
* на выходе d7seg получаем 0111001

1. проверка:

* на вход a подается 13
* на выходе d7seg получаем 1011110

1. проверка:

* на вход a подается 14
* на выходе d7seg получаем 1111001

1. проверка:

* на вход a подается 15
* на выходе d7seg получаем 1110001

Результаты моделирования приведены на Рис. 2‑3:

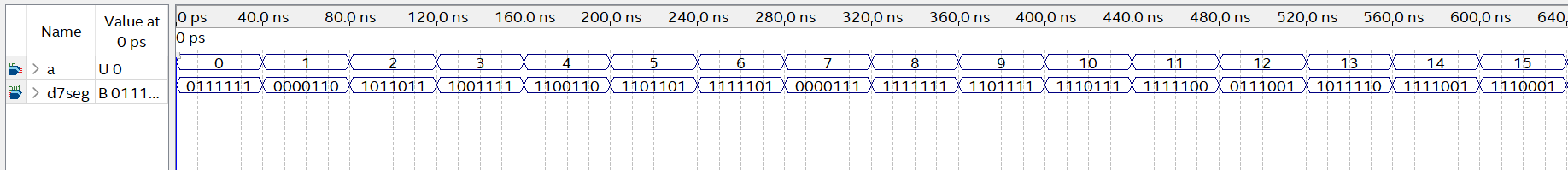


Рис. 2‑3 Результат моделирования средствами QII

Моделирование показало, что полученные результаты совпадают с ожидаемыми для всех приведенных выше тестов.

## Выводы

Лабораторная работа успешно реализовала преобразователь двоичного кода в 7-сегментный код с использованием массивов на языке Verilog. Этот модуль может быть внедрен в цифровые системы для отображения чисел на семисегментных дисплеях.

# Задание lab3\_3

## Задание

На языке Verilog, с использованием процедурных блоков и поведенческих операторов, опишите

параметризированный мультиплексор (параметризируется разрядность) 2 в 1.

✓ Параметры:

– w – разрядность данных (базовое значение 4)

✓ Входы данных

– [w-1:0] a - (при реализации модуля на плате miniDilabCIV: w=4; назначить на переключатели sw[3:0] )

– [w-1:0] b - (при реализации модуля на плате miniDilabCIV : w=4; назначить на переключатели sw[7:4] )

– sel – вход выбора источника (вход управления мультиплексора). При реализации модуля на плате miniDilabCIV :

назначить на кнопку pba

✓ Выходы

– [w-1:0] res – выход мультиплексора (при реализации модуля на плате miniDilabCIV : w=4; назначить на

светодиоды led[3:0])

✓ Имя проекта – lab3\_3. Имя модуля верхнего уровня – lab3\_3. Имя файла lab3\_3.v

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

Также, необходимо отметить, что был добавлен вход sw. Он отвечает за переключение режима нахождения минимума или максимума.

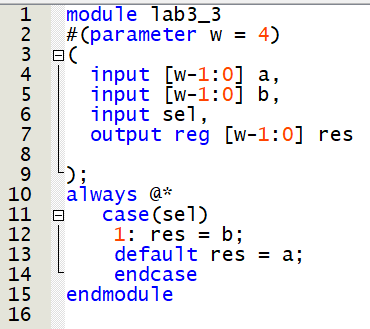


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Изображение выглядит как диаграмма, снимок экрана, линия, текст

Автоматически созданное описание

Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход sel подается 0
* на вход a подается 1
* на вход b подается 11
* на выходе res получаем 11

1. проверка:

* на вход sel подается 0
* на вход a подается 2
* на вход b подается 14
* на выходе res получаем 14

1. проверка:

* на вход sel подается 0
* на вход a подается 3
* на вход b подается 2
* на выходе res получаем 2

1. проверка:

* на вход sel подается 0
* на вход a подается 4
* на вход b подается 5
* на выходе res получаем 5

1. проверка:

* на вход sel подается 1
* на вход a подается 5
* на вход b подается 3
* на выходе res получаем 11

1. проверка:

* на вход sel подается 1
* на вход a подается 6
* на вход b подается 13
* на выходе res получаем 6

1. проверка:

* на вход sel подается 1
* на вход a подается 8
* на вход b подается 8
* на выходе res получаем 8

Результаты моделирования приведены на Рис. 3‑3

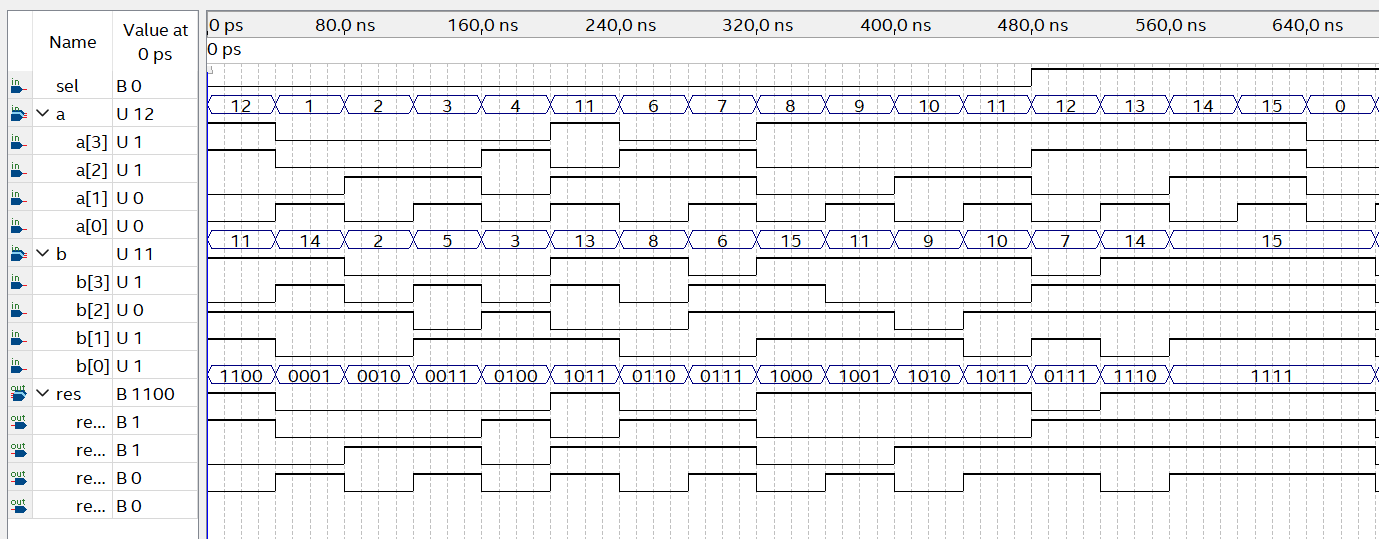


Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание

Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В данной работе средствами System Verilog был создано устройство, описанное в задании - параметризированный мультиплексор. Для этого устройства были проведены функциональные тесты средствами QP, а также было проведено тестирование на плате miniDiLaB-CIV, тесты соответствуют ожидаемым.

# Задание lab3\_4

## Задание

✓ На языке Verilog, используя модули, созданные в lab3\_1, lab3\_3 (параметр w задать равным 4) и lab3\_2 как

компоненты, опишите устройство, структура которого приведена на cхеме 3-1.

✓ Входы

– [3:0] a - вход данных (при реализации модуля на плате miniDilabCIV назначить на переключатели sw[3:0] )

– [3:0] b - вход данных (при реализации модуля на плате miniDilabCIV назначить на переключатели sw[7:4] )

– sel – вход выбора отображаемых данных: минимума или максимума (при реализации модуля на плате

miniDilabCIV назначить на кнопку pba:

– нажата – в 1 разряде 7сегментного индикатора отображается минимум

– не нажата - во 2 разряде 7сегментного индикатора отображается максимум

✓ Выходы:

– [6:0]d7seg – выходы данных для 7-сегментного индикатора (при реализации модуля: назначить на выходы

данных для 7-сегментного индикатора)

– DIG[4:1] – выходы управления разрядами (при реализации модуля: назначить на выходы данных для

управления разрядами 7-сегментного индикатора)

✓ Имя проекта – lab3\_4. Имя модуля верхнего уровня – lab3\_4. Имя файла lab3\_4.v

Изображение выглядит как текст, диаграмма, План, линия

Автоматически созданное описание

Рис. 3‑1 схема устройства

## Описание на языке Verilog

В проекте были использованы модули, созданные в lab3\_1, lab3\_3.

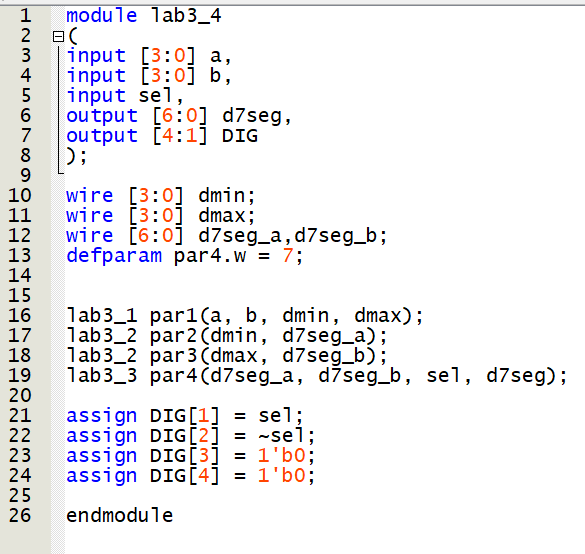


Рис. 3‑2 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus описания на языке Verilog приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Изображение выглядит как диаграмма, План, снимок экрана, линия

Автоматически созданное описание

Рис. 3‑3 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка:

* на вход sel подается 0
* на вход a подается 0
* на вход b подается 3
* на выходе d7seg получаем 1001111
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 0
* на вход a подается 1
* на вход b подается 4
* на выходе d7seg получаем 1100110
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 0
* на вход a подается 10
* на вход b подается 5
* на выходе d7seg получаем 1110111
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 0
* на вход a подается 11
* на вход b подается 6
* на выходе d7seg получаем 1111100
* на выходе DIG получаем 0010

1. проверка:

* на вход sel подается 1
* на вход a подается 12
* на вход b подается 13
* на выходе d7seg получаем 0111001
* на выходе DIG получаем 0001

1. проверка:

* на вход sel подается 1
* на вход a подается 13
* на вход b подается 14
* на выходе d7seg получаем 1011110
* на выходе DIG получаем 0001

1. проверка:

* на вход sel подается 1
* на вход a подается 6
* на вход b подается 15
* на выходе d7seg получаем 1111101
* на выходе DIG получаем 0001

1. проверка:

* на вход sel подается 1
* на вход a подается 7
* на вход b подается 0
* на выходе d7seg получаем 0111111
* на выходе DIG получаем 0001

Результаты моделирования приведены на Рис. 3‑3:

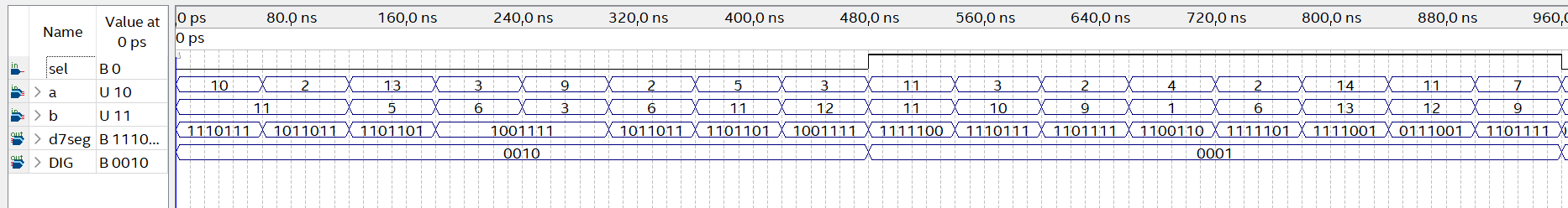


Рис. 3‑4 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание

Рис. 3‑5 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В данной работе средствами System Verilog был создано устройство, описанное в задании. В процессе его создания были использованы, написанные ранее файлы, что упростило и ускорило работу. Так же была исследована схема 7-сегментного индикатора. Для этого устройства были проведены функциональные тесты средствами QP, а также было проведено тестирование на плате miniDiLaB-CIV, тесты соответствуют ожидаемым. Преимуществом выполненной работы заключается в том, что можно визуализировать вывод результата, а так же, для изменения каких либо настроек программы, достаточно модифицировать одну из используемых подпрограмм, а не писать код заново. Таким образом, был получен модуль, который не только является легко адаптируемым, но и имеет возможность интеграции в более сложные проекты, где требуется мультиплексирование данных различной разрядности.